

5084

US  
J1000 U.S. PTO  
09/986748



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月13日

出 願 番 号

Application Number:

特願2000-345317

出 願 人

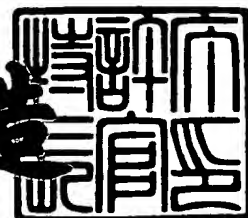
Applicant(s):

エヌイーシーマイクロシステム株式会社

2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3079720

【書類名】 特許願

【整理番号】 01211294

【提出日】 平成12年11月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 7/00

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本  
電気アイシーマイコンシステム株式会社内

【氏名】 内田 健司

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712889

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固定小数点データ生成方法及び固定小数点データ生成回路

【特許請求の範囲】

【請求項 1】 浮動小数点データから固定小数点データを生成する固定小数点データ生成方法であって、

前記浮動小数点データのうち最大となる浮動小数点データを検出する処理と、

前記浮動小数点データの指数部の値と前記最大となる浮動小数点データの指数部の値との差分を求める処理と、

前記浮動小数点データの仮数部を前記差分だけシフトさせる処理と、

前記シフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出する処理とを有することを特徴とする固定小数点データ生成方法。

【請求項 2】 浮動小数点データから固定小数点データを生成する固定小数点データ生成方法であって、

前記浮動小数点データのうち最小となる浮動小数点データを検出する処理と、

前記浮動小数点データの指数部の値と前記最小となる浮動小数点データの指数部の値との差分を求める処理と、

前記浮動小数点データの仮数部を前記差分だけシフトさせる処理と、

前記シフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出する処理とを有することを特徴とする固定小数点データ生成方法。

【請求項 3】 浮動小数点データから固定小数点データを生成する固定小数点データ生成方法であって、

前記浮動小数点データの平均値を算出する処理と、

前記浮動小数点データの指数部の値と前記平均値となる浮動小数点データの指数部の値との差分を求める処理と、

前記浮動小数点データの仮数部を前記差分だけシフトさせる処理と、

前記シフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出する処理とを有することを特徴とする固定小数点データ生成方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の固定小数点データ生成方法において、

前記固定小数点データとして抽出されるビットの位置は、予め決められていることを特徴とする固定小数点データ生成方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の固定小数点データ生成方法において、

前記固定小数点データとして抽出するビットにオーバーフローが生じている場合、抽出するビットにて最大値を表現することを特徴とする固定小数点データ生成方法。

【請求項 6】 複数の浮動小数点データが入力され、該複数の浮動小数点データをそれぞれ固定小数点データに変換する固定小数点データ生成回路であって

前記浮動小数点データのうち最大となる浮動小数点データを検出する指数部最大値検出手段と、

前記入力される複数の浮動小数点データの指数部の値と前記指数部最大値検出手段にて最大値として検出された浮動小数点データの指数部の値との差分を求める指数部減算手段と、

前記浮動小数点データの仮数部を前記指数部減算手段にて求められた差分だけシフトさせるシフト手段と、

前記シフト手段にてシフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出するビット抽出手段とを有することを特徴とする固定小数点データ生成回路。

【請求項 7】 複数の浮動小数点データが入力され、該複数の浮動小数点データをそれぞれ固定小数点データに変換する固定小数点データ生成回路であって

前記浮動小数点データのうち最小となる浮動小数点データを検出する指数部最小値検出手段と、

前記入力される複数の浮動小数点データの指数部の値と前記指数部最小値検出手段にて最小値として検出された浮動小数点データの指数部の値との差分を求める指数部減算手段と、

前記浮動小数点データの仮数部を前記指数部減算手段にて求められた差分だけ

シフトさせるシフト手段と、

前記シフト手段にてシフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出するビット抽出手段とを有することを特徴とする固定小数点データ生成回路。

【請求項 8】 複数の浮動小数点データが入力され、該複数の浮動小数点データをそれぞれ固定小数点データに変換する固定小数点データ生成回路であって

前記浮動小数点データの平均値を算出する指数部平均値算出手段と、

前記入力される複数の浮動小数点データの指数部の値と前記指数部平均値算出検出手段にて算出された平均値の指数部の値との差分を求める指数部減算手段と

前記浮動小数点データの仮数部を前記指数部減算手段にて求められた差分だけシフトさせるシフト手段と、

前記シフト手段にてシフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出するビット抽出手段とを有することを特徴とする固定小数点データ生成回路。

【請求項 9】 請求項 6 乃至 8 のいずれか 1 項に記載の固定小数点データ生成回路において、

前記ビット抽出手段は、前記固定小数点データとして抽出されるビットの位置を、予め決められた位置とすることを特徴とする固定小数点データ生成回路。

【請求項 10】 請求項 6 乃至 9 のいずれか 1 項に記載の固定小数点データ生成回路において、

前記ビット抽出手段は、前記固定小数点データとして抽出するビットにオーバーフローが生じている場合、抽出するビットにて最大値を表現することを特徴とする固定小数点データ生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、浮動小数点データから固定小数点データを生成する固定小数点デ

タ生成方法及び固定小数点データ生成回路に関し、特に、浮動小数点データから、Wide-Band Code Division Multiple Access（以下、W-CDMAと略する）におけるViterbi復号器に入力される固定小数点データを生成する固定小数点データ生成方法及び固定小数点データ生成回路に関する。

【0002】

【従来の技術】

図9は、従来の、浮動小数点データから固定小数点データを生成してViterbi復号を行う回路の一例を示す図であり、図10は、図9に示した回路を用いた、浮動小数点データから固定小数点データを生成してViterbi復号を行う方法を説明するためのフローチャートである。

【0003】

本従来例においては、浮動小数点データが入力されると（ステップS101）、まず、最適化回路101において、入力された浮動小数点データが下記式を用いて固定小数点データに変換される（ステップS102）。

【0004】

【数1】

$$(\text{入力データ}/\text{MAXデータ}) \times 2^{(\text{Viterbi入力ビット幅}-1)} \dots\dots (1)$$

【0005】

上記式にて変換された固定小数点データはViterbi復号回路102に入力され（ステップS103）、Viterbi復号回路102において、入力された固定小数点データを用いてViterbi復号が行われる（ステップS104）。

【0006】

その後、ステップS104におけるViterbi復号結果がViterbi復号回路102から出力される（ステップS105）。

【0007】

【発明が解決しようとする課題】

しかしながら、上述したような従来のものにおいては、入力された浮動小数点

データから固定小数点データを生成する最適化回路において除算処理を行うための除算回路を設ける必要があるため、回路規模が増大してしまうという問題点がある。

【0008】

また、Viterbi入力bit幅が固定であるため、固定したbit分の復号精度しかViterbi復号率を向上させることができないという問題点がある。

【0009】

本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、回路規模を縮小させながらもビット復号率を向上させることができる固定小数点データ生成方法及び固定小数点データ生成回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するための本発明は、

浮動小数点データから固定小数点データを生成する固定小数点データ生成方法であって、

前記浮動小数点データのうち最大となる浮動小数点データを検出する処理と、

前記浮動小数点データの指数部の値と前記最大となる浮動小数点データの指数部の値との差分を求める処理と、

前記浮動小数点データの仮数部を前記差分だけシフトさせる処理と、

前記シフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出する処理とを有することを特徴とする。

【0011】

また、浮動小数点データから固定小数点データを生成する固定小数点データ生成方法であって、

前記浮動小数点データのうち最小となる浮動小数点データを検出する処理と、

前記浮動小数点データの指数部の値と前記最小となる浮動小数点データの指数部の値との差分を求める処理と、

前記浮動小数点データの仮数部を前記差分だけシフトさせる処理と、



前記シフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出する処理とを有することを特徴とする。

## 【 0 0 1 2 】

また、浮動小数点データから固定小数点データを生成する固定小数点データ生成方法であって、

前記浮動小数点データの平均値を算出する処理と、

前記浮動小数点データの指数部の値と前記平均値となる浮動小数点データの指数部の値との差分を求める処理と、

前記浮動小数点データの仮数部を前記差分だけシフトさせる処理と、

前記シフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出する処理とを有することを特徴とする。

## 【 0 0 1 3 】

また、前記固定小数点データとして抽出されるビットの位置は、予め決められていることを特徴とする。

## 【 0 0 1 4 】

また、前記固定小数点データとして抽出するビットにオーバーフローが生じている場合、抽出するビットにて最大値を表現することを特徴とする。

## 【 0 0 1 5 】

また、複数の浮動小数点データが入力され、該複数の浮動小数点データをそれぞれ固定小数点データに変換する固定小数点データ生成回路であって、

前記浮動小数点データのうち最大となる浮動小数点データを検出する指数部最大値検出手段と、

前記入力される複数の浮動小数点データの指数部の値と前記指数部最大値検出手段にて最大値として検出された浮動小数点データの指数部の値との差分を求める指数部減算手段と、

前記浮動小数点データの仮数部を前記指数部減算手段にて求められた差分だけシフトさせるシフト手段と、

前記シフト手段にてシフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出するビット抽出手段とを有することを特徴とする。

## 【 0 0 1 6 】

また、複数の浮動小数点データが入力され、該複数の浮動小数点データをそれぞれ固定小数点データに変換する固定小数点データ生成回路であって、

前記浮動小数点データのうち最小となる浮動小数点データを検出する指数部最小値検出手段と、

前記入力される複数の浮動小数点データの指数部の値と前記指数部最小値検出手段にて最小値として検出された浮動小数点データの指数部の値との差分を求める指数部減算手段と、

前記浮動小数点データの仮数部を前記指数部減算手段にて求められた差分だけシフトさせるシフト手段と、

前記シフト手段にてシフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出するビット抽出手段とを有することを特徴とする。

## 【 0 0 1 7 】

また、複数の浮動小数点データが入力され、該複数の浮動小数点データをそれぞれ固定小数点データに変換する固定小数点データ生成回路であって、

前記浮動小数点データの平均値を算出する指数部平均値算出手段と、

前記入力される複数の浮動小数点データの指数部の値と前記指数部平均値算出検出手段にて算出された平均値の指数部の値との差分を求める指数部減算手段と

前記浮動小数点データの仮数部を前記指数部減算手段にて求められた差分だけシフトさせるシフト手段と、

前記シフト手段にてシフトさせた仮数部のうち所定のビット数を前記固定小数点データとして抽出するビット抽出手段とを有することを特徴とする。

## 【 0 0 1 8 】

また、前記ビット抽出手段は、前記固定小数点データとして抽出されるビットの位置を、予め決められた位置とすることを特徴とする。

## 【 0 0 1 9 】

また、前記ビット抽出手段は、前記固定小数点データとして抽出するビットにオーバーフローが生じている場合、抽出するビットにて最大値を表現することを

特徴とする。

【0020】

(作用)

上記のように構成された本発明においては、複数の浮動小数点データが入力されると、まず、複数の浮動小数点データの中から最大あるいは最小となる浮動小数点データが検出され、入力される複数の浮動小数点データの指数部の値と最大あるいは最小となる浮動小数点データの指数部の値との差分が求められる。その後、入力された浮動小数点データの仮数部が差分だけシフトさせられ、シフトした仮数部のうち所定のビット数が固定小数点データとして抽出される。

【0021】

このように、入力される浮動小数点データの比較及び減算処理のみにより、浮動小数点データから固定小数点データが生成されるので、回路規模が大型化することはない。

【0022】

また、入力された複数の浮動小数点データの平均値を算出し、この平均値の指数部の値と入力される複数の浮動小数点データの指数部の値との差分を求める場合においても、この差分だけ浮動小数点データの仮数部がシフトさせられ、シフトした仮数部のうち所定のビット数が固定小数点データとして抽出される。

【0023】

また、固定小数点データとして抽出されるビットの位置が、復号率の高いビット位置に予め決められている場合は、復号率が向上する。

【0024】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照して説明する。

【0025】

(第1の実施の形態)

図1は、本発明の固定小数点データ生成回路の第1の実施の形態を示すブロック図である。

【0026】

本形態は図 1 に示すように、入力された浮動小数点データのうち最大となる浮動小数点データを検出する指数部 MAX 値検出回路 1 0 と、入力された浮動小数点データの指数部の値を指数部 MAX 値検出回路 1 0 にて最大値として検出された浮動小数点データの指数部の値から減算する指数部減算器 2 0 と、指数部減算器 2 0 における減算結果に基づいて、入力された浮動小数点データの仮数部の値をシフトさせるシフトレジスタ 3 0 と、シフトレジスタ 3 0 にてシフトした仮数部から所定のビット数だけ Viterbi 復号回路（不図示）に入力される固定小数点データとして抽出するビット抽出部 4 0 とから構成されている。

【 0 0 2 7 】

以下に、上記のように構成された固定小数点データ生成回路における固定小数点データ生成方法についてフローチャートを参照して説明する。

【 0 0 2 8 】

図 2 は、図 1 に示した固定小数点データ生成回路における固定小数点データ生成方法を説明するためのフローチャートである。

【 0 0 2 9 】

浮動小数点データが入力されると（ステップ S 1）、まず、指数部 MAX 値検出回路 1 0 において、入力された浮動小数点データの中から最大となる浮動小数点データが検出される（ステップ S 2）。

【 0 0 3 0 】

【数 2】

$$D_{\max} = \max \{D_1, D_2, D_3, \dots, D_n\} \quad (n: \text{データ量}) \dots\dots(2)$$

$$(D_{\max} = D_{\max M}(\text{仮数値}) \times 10^{D_{\max E}(\text{指数値})})$$

【 0 0 3 1 】

次に、入力された浮動小数点データの指数部を最大値に合わせ込むため、指数部減算器 2 0 において、入力された浮動小数点データの指数部の値が指数部 MAX 値検出回路 1 0 にて最大値として検出された浮動小数点データの指数部の値から減算され、シフト量として出力される（ステップ S 3）。

【 0 0 3 2 】

【数 3】

$$\text{シフト量} = D_{\text{maxE}} - D_{\text{InE}} \dots\dots(3)$$

( $D_{\text{maxE}}$  : 最大指数値,  $D_{\text{InE}}$  : 入力浮動小数点データの指数値)

【 0 0 3 3 】

次に、シフトレジスタ 3 0 において、式 (3) にて算出されたシフト量に基づいて、入力された浮動小数点データの仮数部の値がシフトされる (ステップ S 4)。

【 0 0 3 4 】

【数 4】

$$\text{固定データ} = D_{\text{InM}} / 2^{\text{シフト量}} \dots\dots(4)$$

( $D_{\text{InM}}$  : 入力浮動小数点データの仮数値)

【 0 0 3 5 】

次に、ビット抽出部 4 0 において、シフトレジスタ 3 0 にてシフトされた仮数部から所定のビット数だけ Viterbi 復号回路に入力される固定小数点データとして抽出される (ステップ S 5)。なお、この際、抽出するビット位置を復号率の高いビット位置に固定すれば、復号精度を向上させることができる。

【 0 0 3 6 】

また、ビット抽出部 4 0 においては、抽出するビットにおいてオーバーフローが生じた場合は、抽出されたビットにて最大値を表現することにより飽和処理が行われ (ステップ S 6)、データの最適化が図られる。

【 0 0 3 7 】

その後、ビット抽出部 4 0 にて抽出された固定小数点データが Viterbi 復号回路に入力され (ステップ S 7)、Viterbi 復号回路において、入力された固定小数点データを用いて Viterbi 復号が行われる (ステップ S 8)。

## 【 0 0 3 8 】

以下に、上述した一連の処理について、Viterbi復号回路に4ビットのデータが入力される場合を例を挙げて説明する。

## 【 0 0 3 9 】

入力されるデータは仮数部（符号ビット込み）8ビット、指数部4ビットとし、出力を4ビットとし、以下の3つの浮動小数点データが入力されたともものする。

仮数部 | 指数部

# 1 : 0110 0100 | 0100 =  $100 \times 2^4 = 1600$

# 2 : 0110 0000 | 0110 =  $96 \times 2^6 = 6144$

# 3 : 0110 1000 | 0101 =  $104 \times 2^5 = 3328$

まず、指数部MAX値検出回路10において、入力された浮動小数点データの中から最大となる浮動小数点データを検出する。ここで、上述した3つの浮動小数点データのうち最大となる浮動小数点データは#2となるため、浮動小数点データ#2が最大値として検出される。

## 【 0 0 4 0 】

次に、指数部減算器20において、入力された全ての浮動小数点データの指数部を合わせ込むために、最大値となる浮動小数点データ#2の指数部の値から入力された浮動小数点データの指数部の値を減算する。ここで、上述した3つの浮動小数点データにおいては、

# 2 - # 1 = 0110 - 0100 = 0010

# 2 - # 3 = 0110 - 0101 = 0001

となる。

## 【 0 0 4 1 】

次に、シフトレジスタ30において、上述した減算結果に基づいて、浮動小数点データ#1、#3の仮数部をシフトさせ、それにより、浮動小数点データ#1、#3を浮動小数点データ#2と同一指数で表現する。

# 2 - # 1 = 0110 - 0100 = 0010

により、浮動小数点データ#1の仮数部の値を2ビットシフトさせ、また、

$$\# 2 - \# 3 = 0110 - 0101 = 0001$$

により、浮動小数点データ # 3 の仮数部の値を 1 ビットシフトさせる。

【 0 0 4 2 】

これにより、

仮数部 | 指数部

$$\# 1 : 0001\ 1001 \mid 0110 = 2\ 5 \times 2\ 6 = 1\ 6\ 0\ 0 \text{ (仮数部 : 2 ビットシフト)}$$

$$\# 2 : 0110\ 0000 \mid 0110 = 9\ 6 \times 2\ 6 = 6\ 1\ 4\ 4$$

$$\# 3 : 0011\ 0100 \mid 0110 = 5\ 2 \times 2\ 6 = 3\ 3\ 2\ 8 \text{ (仮数部 : 1 ビットシフト)}$$

となる。

【 0 0 4 3 】

その後、ビット抽出部 4 0 において、浮動小数点データ # 1 ~ # 3 のそれぞれについて、MSB ビット側から所定の出力ビット幅だけ抽出し、Viterbi 入力データとする。

仮数部 | Viterbi 入力データ (4 ビット)

$$\# 1 : \underline{0001}\ 1001 \mid \text{to } 0001$$

$$\# 2 : \underline{0110}\ 0000 \mid \text{to } 0110$$

$$\# 3 : \underline{0011}\ 0100 \mid \text{to } 0011$$

上述したような一連の処理は、指数部ビット分の減算器と、比較器と、シフトレジスタとを用いることによって実現することができる。

【 0 0 4 4 】

さらに、ビット抽出部 4 0 にて抽出されるビット以外の下位ビットを有効にすることで、Viterbi 復号の精度を向上することができる。

【 0 0 4 5 】

以下に精度向上のための、ビット抽出部 4 0 におけるビット抽出処理について説明する。

【 0 0 4 6 】

ビット抽出部 4 0 にて抽出するビットに対し、抜き出すデータのビット位置を変更して切り捨ての下位ビットを有効にし、それにより、Viterbi 復号率の精度を向上させる。

## 【0047】

以下に、具体例を挙げて説明する。

## 【0048】

上述したデータ

#1 : 0001 1001 | 0110 =  $25 \times 26 = 1600$  (仮数部: 2ビットシフト)

#2 : 0110 0000 | 0110 =  $96 \times 26 = 6144$

#3 : 0011 0100 | 0110 =  $52 \times 26 = 3328$  (仮数部: 1ビットシフト)

に対して、ビット抽出部40にて抽出されるビットを、それぞれMSBビット側から(符号ビットは除く)2ビット目を先頭とすると、

仮数部 | Viterbi入力データ(4ビット)

#1 : 0001 1001 | to 0011

#2 : 0110 0000 | to 0100

#3 : 0011 0100 | to 0110

となる。ここで、このままでは、#2にてオーバーフローが生じているため、#2のビット内にて最大値を表現することにより飽和处理を行う。

#1 : 0001 1001 | to 0011

#2 : 0110 0000 | to 0111 (飽和处理)

#3 : 0011 0100 | to 0110

なお、ビット抽出部40にて抽出するビットの設定においては、抽出するビット位置をパラメータで設定し、Viterbi復号率の高い設定値を固定値とする。

## 【0049】

図3は、減算器を用いた固定小数点データ生成回路の回路規模と除算器を用いた固定小数点データ生成回路の回路規模を示すグラフである。

## 【0050】

図3に示すように、図1に示した固定小数点データ生成回路のように減算器で構成した固定小数点データ生成回路は、除算器を用いた固定小数点データ生成回路に比べて回路面積を縮小することができる。

## 【0051】

図4は、図1に示した固定小数点データ生成回路及び従来の固定小数点データ



生成回路におけるビット誤り率（BER：Bit Error Rate）特性を示すグラフであり、 $E_b/N_0$ （1ビット当りのエネルギー対雑音電力密度比）毎の復号率を示す。

#### 【0052】

図4に示すように、従来の固定小数点データ生成回路と図1に示した固定小数点データ生成回路において、同等の浮動小数点データを入力とし、Viterbi復号器への入力ビットを8ビットとした場合の $E_b/N_0$ におけるBER値を比較すると、 $E_b/N_0 = 6 \text{ dB}$ 付近においては、従来の固定小数点データ生成回路が、 $BER = 1.00E-02$ （データ数100個に対し、1個の割合で復号できない）であるのに対して、図1に示した固定小数点データ生成回路においては、 $BER = 1.00E-03$ （データ数1000個に対し、1個の割合で復号できない）となり、復号精度が向上していることがわかる。

#### 【0053】

##### （第2の実施の形態）

図5は、本発明の固定小数点データ生成回路の第2の実施の形態を示すブロック図である。

#### 【0054】

本形態は図5に示すように、入力された浮動小数点データのうち最小となる浮動小数点データを検出する指数部MIN値検出回路11と、入力された浮動小数点データの指数部の値から指数部MIN値検出回路11にて最小値として検出された指数部の値を減算する指数部減算器21と、指数部減算器21における減算結果に基づいて、入力された浮動小数点データの仮数部の値をシフトさせるシフトレジスタ30と、シフトレジスタ30にてシフトした仮数部から所定のビット数だけViterbi復号回路（不図示）に入力される固定小数点データとして抽出するビット抽出部40とから構成されている。

#### 【0055】

以下に、上記のように構成された固定小数点データ生成回路における固定小数点データ生成方法についてフローチャートを参照して説明する。

#### 【0056】

図 6 は、図 5 に示した固定小数点データ生成回路における固定小数点データ生成方法を説明するためのフローチャートである。

【 0 0 5 7 】

浮動小数点データが入力されると（ステップ S 1 1）、まず、指数部 M I N 値検出回路 1 0 において、入力された浮動小数点データの中から最小となる浮動小数点データが検出される（ステップ S 1 2）。

【 0 0 5 8 】

【数 5】

$$D_{\min} = \min \{D_1, D_2, D_3, \dots, D_n\} \quad (n: \text{データ量}) \dots\dots(5)$$

$$(D_{\min} = D_{\min M}(\text{仮数値}) \times 10^{D_{\min E}(\text{指数値})})$$

【 0 0 5 9 】

次に、入力された浮動小数点データの指数部を最小値に合わせ込むため、指数部減算器 2 1 において、入力された浮動小数点データの指数部の値から指数部 M I N 値検出回路 1 1 にて最小値として検出された浮動小数点データの指数部の値が減算され、シフト量として出力される（ステップ S 1 3）。

【 0 0 6 0 】

【数 6】

$$\text{シフト量} = D_{\min E} - D_{\text{In}E} \dots\dots(6)$$

$$(D_{\min E} : \text{最小指数値}, D_{\text{In}E} : \text{入力浮動小数点データの指数値})$$

【 0 0 6 1 】

次に、シフトレジスタ 3 0 において、式（6）にて算出されたシフト量に基づいて、入力された浮動小数点データの仮数部の値がシフトされる（ステップ S 1 4）。

【 0 0 6 2 】

## 【数 7】

$$\text{固定データ} = D_{\text{InM}} \times 2^{\text{シフト量}} \dots\dots(7)$$

( $D_{\text{InM}}$  : 入力浮動小数点データの仮数値)

## 【0 0 6 3】

ここで、シフトされたビットにオーバーフローが生じた場合は、ビット内にて最大値を表現することにより飽和処理が行われる（ステップ S 1 5）。

## 【0 0 6 4】

次に、ビット抽出部 4 0 において、シフトレジスタ 3 0 にてシフトされた仮数部から所定のビット数だけ Viterbi 復号回路に入力される固定小数点データとして抽出される（ステップ S 1 6）。なお、この際、抽出するビット位置を復号率の高いビット位置に固定すれば、復号精度を向上させることができる。

## 【0 0 6 5】

また、ビット抽出部 4 0 においては、抽出するビットにおいてオーバーフローが生じた場合は、抽出されたビットにて最大値を表現することにより飽和処理が行われ（ステップ S 1 7）、データの最適化が図られる。

## 【0 0 6 6】

その後、ビット抽出部 4 0 にて抽出された固定小数点データが Viterbi 復号回路に入力され（ステップ S 1 8）、Viterbi 復号回路において、入力された固定小数点データを用いて Viterbi 復号が行われる（ステップ S 1 9）。

## 【0 0 6 7】

（第 3 の実施の形態）

図 7 は、本発明の固定小数点データ生成回路の第 3 の実施の形態を示すブロック図である。

## 【0 0 6 8】

本形態は図 7 に示すように、入力された浮動小数点データの平均値を算出する指数部平均値算出回路 1 2 と、入力された浮動小数点データの指数部の値と指数部平均値算出回路 1 2 にて算出された平均値の指数部の値との差分を求める指数

部減算器 2 2 と、指数部減算器 2 2 にて求められた差分に基づいて、入力された浮動小数点データの仮数部の値をシフトさせるシフトレジスタ 3 0 と、シフトレジスタ 3 0 にてシフトした仮数部から所定のビット数だけViterbi復号回路（不図示）に入力される固定小数点データとして抽出するビット抽出部 4 0 とから構成されている。

【 0 0 6 9 】

以下に、上記のように構成された固定小数点データ生成回路における固定小数点データ生成方法についてフローチャートを参照して説明する。

【 0 0 7 0 】

図 8 は、図 7 に示した固定小数点データ生成回路における固定小数点データ生成方法を説明するためのフローチャートである。

【 0 0 7 1 】

浮動小数点データが入力されると（ステップ S 2 1）、まず、指数部平均値算出回路 1 2 において、入力された浮動小数点データの平均値が算出される（ステップ S 2 2）。

【 0 0 7 2 】

【数 8】

$$Dave = \text{average} \{ D1, D2, D3, \dots, Dn \} \quad (n: \text{データ量}) \dots\dots(8)$$

$$(Dave = D_{aveM}(\text{仮数値}) \times 10^{DaveE(\text{指数値})})$$

【 0 0 7 3 】

次に、入力された浮動小数点データの指数部を平均値に合わせ込むため、指数部減算器 2 2 において、入力された浮動小数点データの指数部の値と指数部平均値算出回路 1 2 にて算出された平均値の指数部の値との差分が求められ、シフト量として出力される（ステップ S 2 3）。

【 0 0 7 4 】

## 【数 9】

$$\text{シフト量} = D_{\text{aveE}} - D_{\text{InE}} \dots\dots(9)$$

( $D_{\text{aveE}}$  : 平均指数値,  $D_{\text{InE}}$  : 入力浮動小数点データの指数値)

## 【0 0 7 5】

次に、シフトレジスタ 3 0 において、式 (9) にて算出されたシフト量に基づいて、入力された浮動小数点データの仮数部の値がシフトされる (ステップ S 2 4)。ここで、本形態のように浮動小数点データの平均値を用いてシフト量を算出する場合、MSB ビット側、LSB ビット側のどちらにも仮数部の値がシフトする可能性があり、固定小数点データ算出時のシフトレジスタ 3 0 の動作には、以下の 2 通りの式が成り立つ。

## 【0 0 7 6】

## 【数 1 0】

(平均指数値 > 入力浮動小数データの指数値)

$$\text{固定データ} = D_{\text{InM}} / 2^{\text{シフト量}} \dots\dots(10)$$

( $D_{\text{InM}}$  : 入力浮動小数点データの仮数値)

(平均指数値 < 入力浮動小数データの指数値)

$$\text{固定データ} = D_{\text{InM}} \times 2^{\text{シフト量}} \dots\dots(11)$$

( $D_{\text{InM}}$  : 入力浮動小数点データの仮数値)

## 【0 0 7 7】

また、シフトされたビットにオーバーフローが生じた場合は、ビット内にて最大値を表現することにより飽和処理が行われる (ステップ S 2 5)。

## 【0 0 7 8】

次に、ビット抽出部 4 0 において、シフトレジスタ 3 0 にてシフトされた仮数部から所定のビット数だけ Viterbi 復号回路に入力される固定小数点データとして抽出される (ステップ S 2 6)。なお、この際、抽出するビット位置を

復号率の高いビット位置に固定すれば、復号精度を向上させることができる。

【0079】

また、ビット抽出部40においては、抽出するビットにおいてオーバーフローが生じた場合は、抽出されたビットにて最大値を表現することにより飽和処理が行われ（ステップS27）、データの最適化が図られる。

【0080】

その後、ビット抽出部40にて抽出された固定小数点データがViterbi復号回路に入力され（ステップS28）、Viterbi復号回路において、入力された固定小数点データを用いてViterbi復号が行われる（ステップS29）。

【0081】

【発明の効果】

以上説明したように本発明においては、複数の浮動小数点データの中から指数部が最大あるいは最小となる浮動小数点データが検出され、入力される複数の浮動小数点データの指数部の値と最大あるいは最小となる浮動小数点データの指数部の値との差分が求められ、その後、入力された浮動小数点データの仮数部が差分だけシフトさせられ、シフトした仮数部のうち所定のビット数が固定小数点データとして抽出され構成としたため、入力される浮動小数点データの比較及び減算処理のみにより浮動小数点データから固定小数点データが生成され、入力された浮動小数点データに対する最適化を図ることができるとともに、回路規模を縮小することができる。

【0082】

また、入力された複数の浮動小数点データの平均値を算出し、この平均値の指数部の値と入力される複数の浮動小数点データの指数部の値との差分を求めた場合においても、上記同様の効果を奏する。

【0083】

また、固定小数点データとして抽出されるビットの位置が、復号率の高いビット位置に予め決められているものにおいては、復号率を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の固定小数点データ生成回路の第 1 の実施の形態を示すブロック図である。

【図 2】

図 1 に示した固定小数点データ生成回路における固定小数点データ生成方法を説明するためのフローチャートである。

【図 3】

減算器を用いた固定小数点データ生成回路の回路規模と除算器を用いた固定小数点データ生成回路の回路規模を示すグラフである。

【図 4】

図 1 に示した固定小数点データ生成回路及び従来の固定小数点データ生成回路におけるビット誤り率特性を示すグラフである。

【図 5】

本発明の固定小数点データ生成回路の第 2 の実施の形態を示すブロック図である。

【図 6】

図 5 に示した固定小数点データ生成回路における固定小数点データ生成方法を説明するためのフローチャートである。

【図 7】

本発明の固定小数点データ生成回路の第 3 の実施の形態を示すブロック図である。

【図 8】

図 7 に示した固定小数点データ生成回路における固定小数点データ生成方法を説明するためのフローチャートである。

【図 9】

従来の、浮動小数点データから固定小数点データを生成して Viterbi 復号を行う回路の一例を示す図である。

【図 10】

図 9 に示した回路を用いた、浮動小数点データから固定小数点データを生成し

てViterbi復号を行う方法を説明するためのフローチャートである。

【符号の説明】

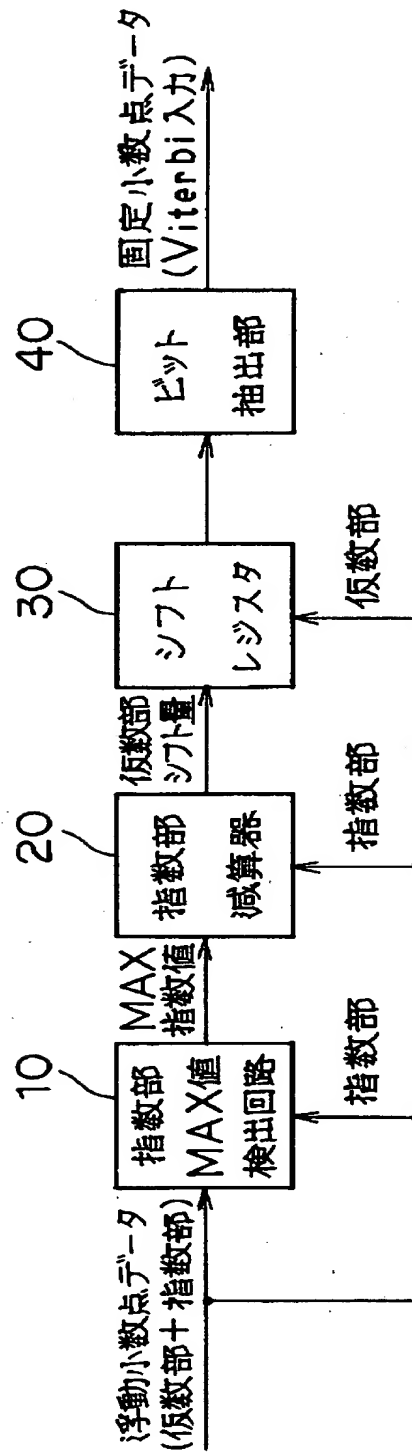
- 1 0 指数部MAX値検出回路
- 1 1 指数部MIN値検出回路
- 1 2 指数部平均値算出回路
- 2 0 ～ 2 2 指数部減算器
- 3 0 シフトレジスタ
- 4 0 ビット抽出部



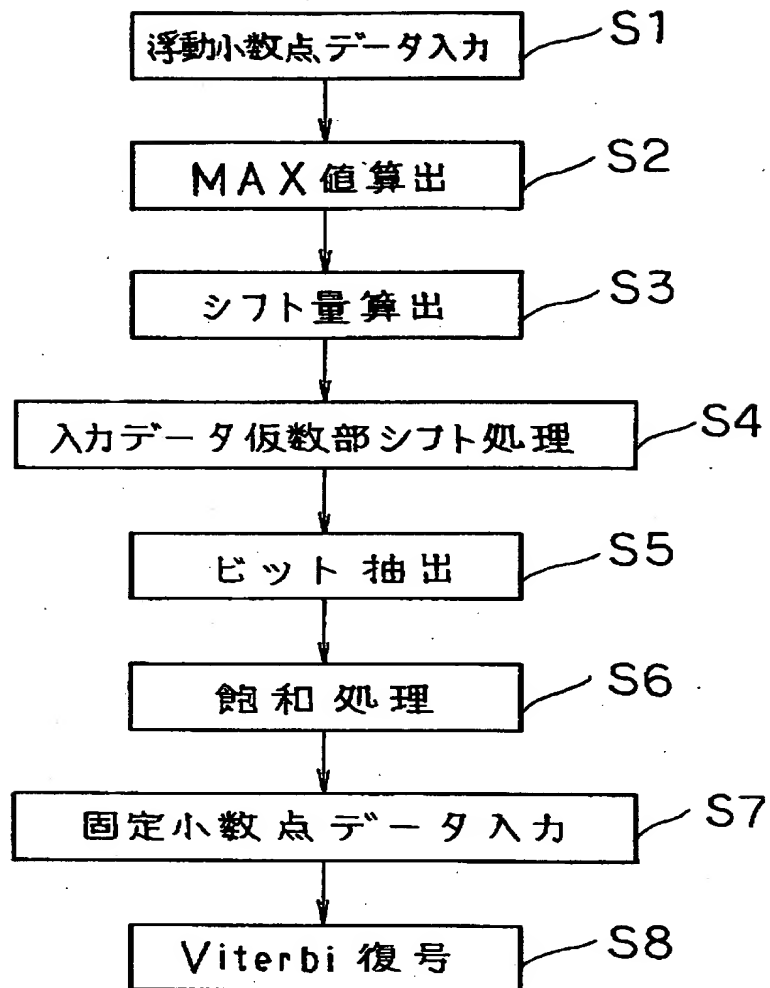
【書類名】

図面

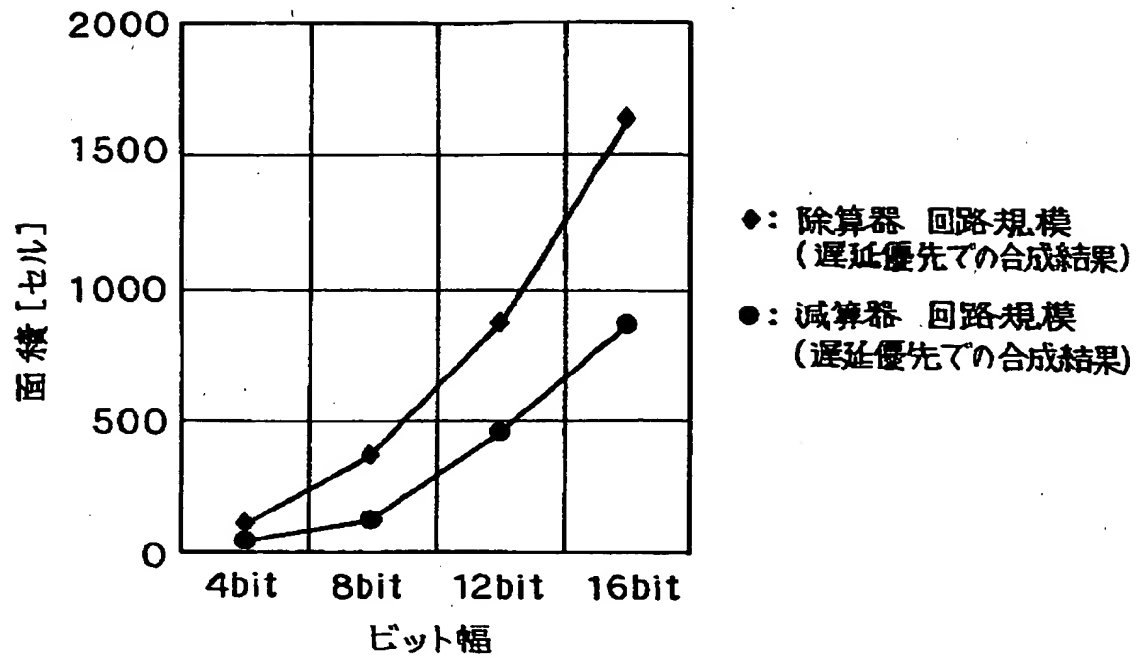
【図 1】



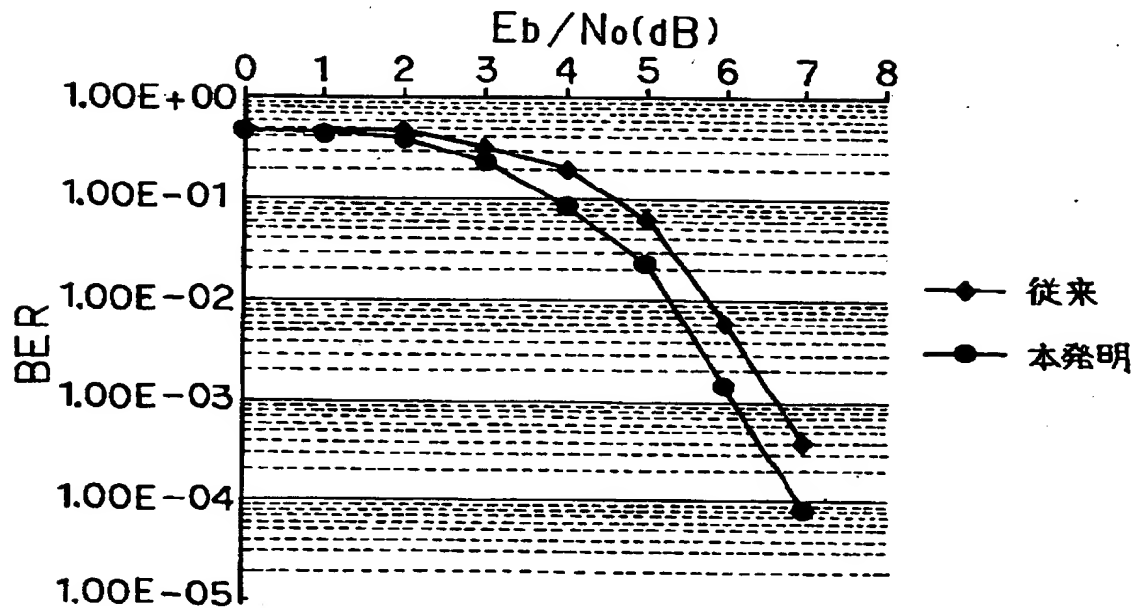
【図2】



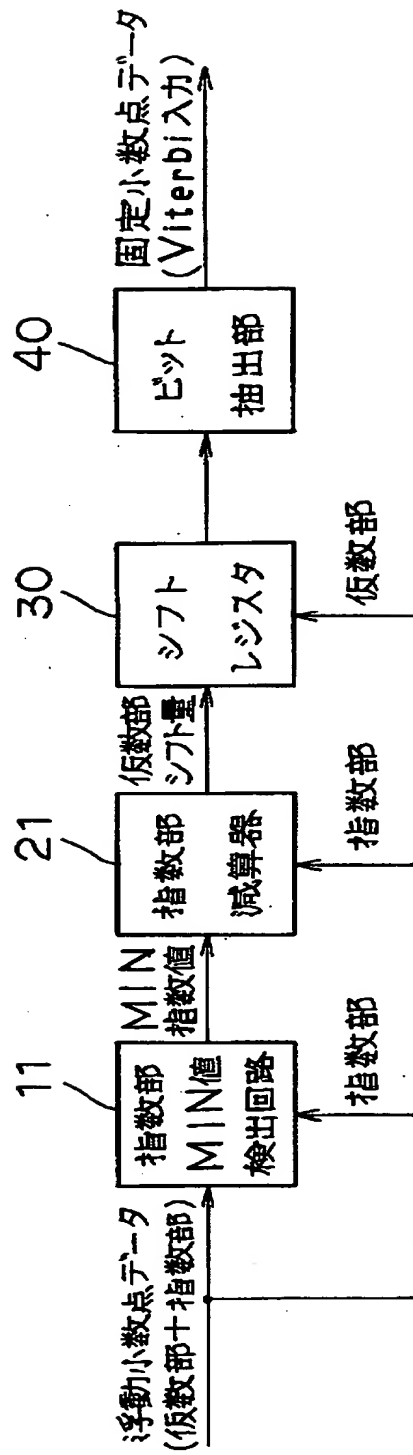
【図 3】



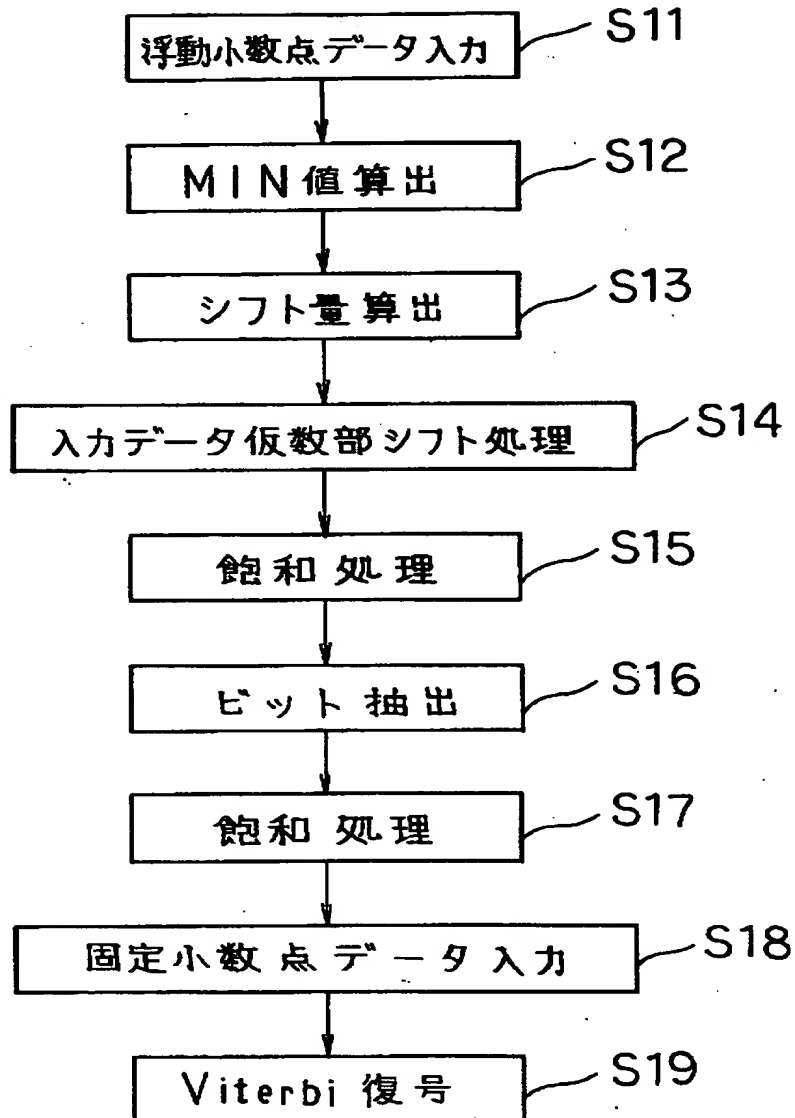
【図 4】



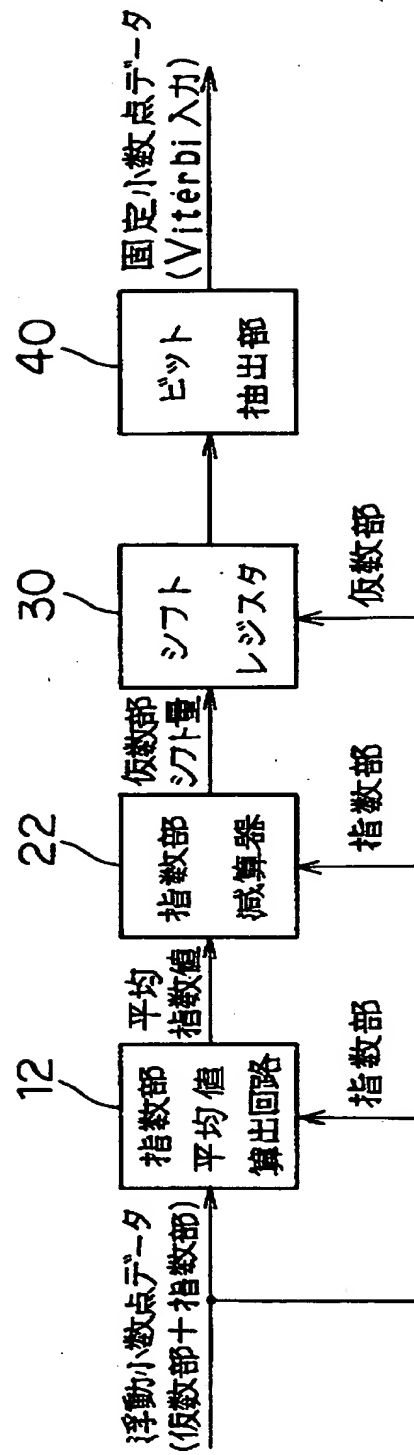
【図 5】



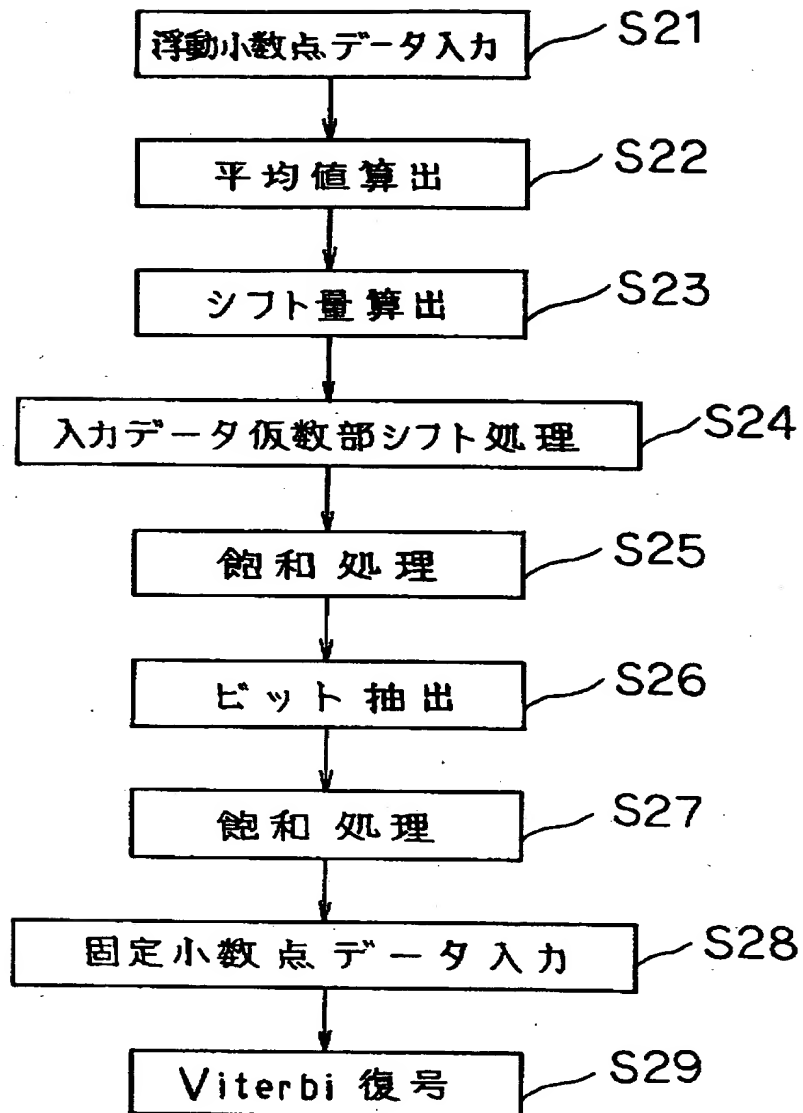
【図6】



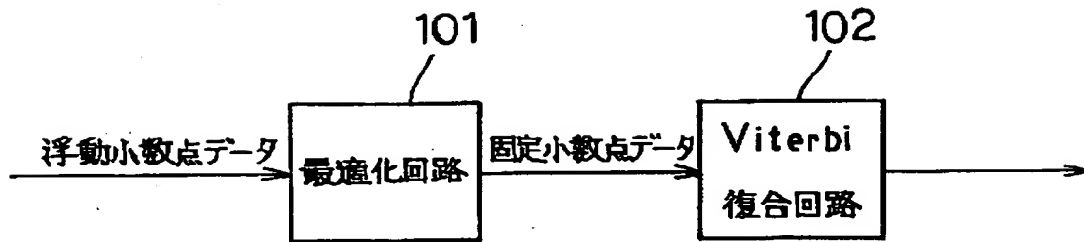
【図 7】



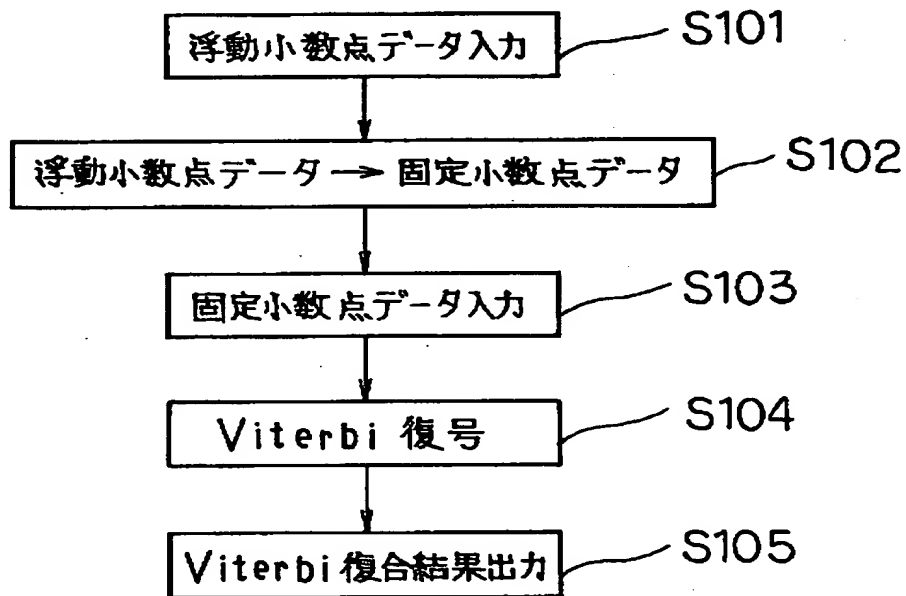
【図8】



【図 9】



【図 1 0】





【書類名】 要約書

【要約】

【課題】 回路規模を縮小させながらもビット復号率を向上させる。

【解決手段】 複数の浮動小数点データが入力されると、まず、指数部MAX値検出回路10において、複数の浮動小数点データの中から最大となる浮動小数点データを検出し、次に、指数部減算器20において、入力される複数の浮動小数点データの指数部の値と最大となる浮動小数点データの指数部の値との差分を求める。その後、シフトレジスタ30において、入力された浮動小数点データの仮数部を指数部減算器20にて求められた差分だけシフトさせ、ビット抽出部40において、シフトした仮数部のうち所定のビット数を固定小数点データとして抽出する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日  
[変更理由] 新規登録  
住 所 神奈川県川崎市中原区小杉町1丁目403番53  
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日  
[変更理由] 名称変更  
住 所 神奈川県川崎市中原区小杉町1丁目403番53  
氏 名 エヌイーシーマイクロシステム株式会社